

PAT-NO: JP362252139A
DOCUMENT-IDENTIFIER: JP 62252139 A
TITLE: ETCHING METHOD FOR SEMICONDUCTOR
SUBSTRATE
PUBN-DATE: November 2, 1987

INVENTOR-INFORMATION:

NAME
OKABE, YUTAKA
KINOSHITA, HARUHISA
ISHIDA, TOSHIMASA

ASSIGNEE-INFORMATION:

NAME
OKI ELECTRIC IND CO LTD

COUNTRY
J/A

APPL-NO: JP61095657

APPL-DATE: April 24, 1986

INT-CL (IPC): H01L021/302, H01L021/76 , H01L021/04

US-CL-CURRENT: 438/714, 438/FOR.117

ABSTRACT:

PURPOSE: To prevent a stepwise difference and a bowling from occurring in a trench by employing a mask having a side wall of the trench sequentially expanding outside from the surface of a mask toward the surface of a semiconductor substrate in an area of a window parallel to the surface of the substrate.

CONSTITUTION: The inner wall of the trench is formed by a mask having a side wall of the trench sequentially expanding outside from the surface of a mask toward the surface of a semiconductor substrate in an area of a window parallel to the surface of the substrate.

under etching conditions of strong directivity to a particular direction substrate 31 from above a reversely tapered mask pattern 41. Even when the mask layer 41 is etched and deformed, edge portions 39a always cover the exposed surface of the substrate in an overhanging state. Thus, the inner wall of the window 39 of the layer 41 remains reversely tapered shape. In this manner, since the inner wall of the window 39 is less directly contacted with etching ions, the abrupt film reduction of the layer 41 does not occur in a direction parallel to the surface of the substrate to eliminate a stepwise difference and a bowling on the inner wall of a trench to obtain a tapered trench 45.

COPYRIGHT: (C)1987, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-252139

⑪ Int. Cl.⁴

H 01 L 21/302
21/76
27/04

識別記号

庁内整理番号

J-8223-5F
M-7131-5F
7514-5F

⑬ 公開 昭和62年(1987)11月2日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体基板のエッチング方法

⑮ 特 願 昭61-95657

⑯ 出 願 昭61(1986)4月24日

⑰ 発 明 者	岡 部 豊	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱ 発 明 者	木 下 治 久	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 発 明 者	石 田 俊 正	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑳ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
㉑ 代 理 人	弁理士 大 垣 孝		

明 細 書

1. 発明の名称

半導体基板のエッチング方法

2. 特許請求の範囲

(1) 方向性の強いイオンを用いて半導体基板をエッチングするに当り、

半導体基板の基板面と平行な窓面積がマスク表面から前記基板面に向かうに従って順次に外側に広がる形状の当該窓を有しかつ耐ドライエッチング性の高いマスク材料から成るマスク層を用いて、前記半導体基板をエッチングすることを特徴とする半導体基板のエッチング方法。

(2) 前記マスク層の形成は、

基板面上に、オーバーハング形状の窓を有するレジスト膜をマスクとして用いて、金属膜を被着する工程と、

レジスト膜を除去した後マスク材料を前記金属膜を含む基板面上に被 する工程と、

マスク材料表面から金属膜表面に至るまでエッチングを行って平坦なエッチング面を形成する工

程と、

前記金属膜を除去する工程と

を含むことを特徴とする特許請求の範囲第1項記載の半導体基板のエッチング方法。

(3) マスク材料は酸化膜、窒化膜及び低融点ガラスの群から選ばれた一種以上の材料とすることを特徴とする特許請求の範囲第1項又は第2項記載の半導体基板のエッチング方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体基板のエッチング方法に関するもので、特に半導体基板にキャパシタ形成用或いは素子間分離部形成用の溝(以下、この溝をトレンチと称することもある)を形成する方法に関するものである。

(従来の技術)

LSIの微細化、高集積化に伴ない例えばダイナミックランダムアクセスメモリのメモリセルの高集積キャパシタ(容量)、素子間分離部等高集積化に対応することが出来る構造にする必要が生

じている。このような目的のため、半導体基板に所望の深さのトレンチを設けこのトレンチ内部に誘電体を充填してキャパシタを形成したり、又は、素子の周囲にこのようなトレンチを設けこのトレンチ内部に絶縁体を充填して素子分離部とすることが行われている。

このようなトレンチを得るため従来から種々の半導体基板のエッチング方法が提案されていて、その一例としては例えば文献（昭和59年秋季第45回応用物理学学会学術講演会講演予稿集 14P-U-10 P.289）に開示されているものがある。

第2図（A）～（E）はこの文献に開示されている従来のトレンチ形成方法を概略的に説明するための製造工程図であり、工程進度に応じたウエハを断面図で示したものである。

熱酸化等の好適な方法によって半導体基板11としての例えばSi基板上にマスク材13としての例えばSiO₂層を形成する。次に、このマスク材13上に例えばOFPR（東京応化工業（株）製ボジ型レジストの商品名）等のレジストを塗布し、

基板11を異方性エッチングすることが出来るようなエッチング方法、例えば方向性の強いイオンの生ずるエッチング条件で行っていた。

（発明が解決しようとする問題点）

しかしながら、半導体基板11にトレンチ23を形成するためのエッチングを行う際にはマスク材13も徐々に膜減りする。従って、トレンチ23を形成するためのエッチングが進むと共にマスク層21の形状が変形するため、トレンチ23内部の形状が所望とする形状でないものになる場合が生ずる。第2図（D）及び（E）を参照してこのようなマスク層21の変形に起因する従来の半導体基板のエッチング方法の問題点につき説明する。

従来のエッチング方法で用いられているマスク層21は、マスク層21の窓19の内壁面が基板面11a（第2図（D）参照）に対して垂直か、或いは、基板面と平行な窓の面積がマスク層21表面から基板面に向かうに従い小さくなるいわゆるテーパー状になったものであった。ところで、窓19の、基板面とは反対側の開口部のエッジ部分19a・

さらにこのレジストを乾燥してレジスト膜15を得る（第2図（A））。

次に、フォトマスクを通してこのレジスト膜15に対して露光を行いその後現像を行ってマスク材13の、所定の部分領域を露出するようなレジストパターン17を得る（第2図（B））。

次に、例えば反応性スパッタエッチング法等を用いマスク材13の、レジスト膜15から露出した部分領域をエッチングして半導体基板11の所定領域を露出するための窓19を形成する（第2図（C））。

次に、有機溶剤等によってマスク材13上のレジスト膜15を除去することによって半導体基板11上にマスク層21が形成される（第2図（D））。

次に、好適な方法によって半導体基板11の、マスク層の窓19により露出されている部分領域をエッチング除去して所望とする深さのトレンチ23を形成していた（第2図（E））。

このようなトレンチ23を形成するためのエッチングをSiO₂に対する選択比が高く然も半導体

（第2図（D）参照）のような部分ではイオンによるスパッタリングの収率が増大するため、角がとれ易い。従って、上述したような形状のマスク層21の場合角がとれて傾斜がつき、さらに、この傾斜部が半導体基板表面に達するとこのマスク材の基板面と平行な方向への膜減りが急速に進んでしまうという問題点があった（第2図（E）参照）。従って、第2図（E）に点線で示した形状を有していたマスク層21がトレンチ23を形成するためのエッチングと共に第2図（E）に実線で示すようなマスク層21aに変形する。

このようにマスク層が変形すると膜減りした部分下の半導体基板がエッチングされるため、第2図（E）に示すような段差25が生じる。又、エッチング用のイオン27の一部は変形したマスク層21aの傾斜部で反射された後トレンチ内部の側壁面をエッチングするため、側壁面にくぼみ（ボウリング）29が生じる。キャパシタや素子分離部の形成に当りそれぞれの目的に応じトレンチ23内に誘電体或いは絶縁体を堆積させるが、このような

段差27やボウリング29を埋込むことは非常に難しく、これがため、所望の容量値や絶縁抵抗値が得られない等の弊害が生ずる。

この発明の目的は、上述した問題点を解決し、トレンチ形成のためのエッチングが進むと共にマスク材の膜減りが生じて、トレンチ内部に段差やボウリングが生ずることのないような半導体基板のエッチング方法を提供することにある。

(問題点を解決するための手段)

この目的の達成を図るため、この発明によれば、方向性の強いイオンを用いて半導体基板をエッチングするに当り、

半導体基板の基板面と平行な窓面積がマスク表面から前述の基板面に向かうに従って順次に外側に広がる形状の窓を有しかつ耐ドライエッチング性の高いマスク材料から成るマスク層を用いて、前述の半導体基板をエッチングすることと特徴とする。

この発明の実施に当り、前述のマスク層の形成工程は、基板面上に、オーバーハング形状の窓を

分が他の部分よりエッチングされ易いことによって傾斜部が生じて、このマスク層の窓は逆テーパー構造の窓でありその内壁面が底状に半導体基板を覆う。従って、エッチングされたエッジ部の側面と、窓の内壁面とが交わって構成する輪郭が窓の外周となり半導体基板の、この外周を有した窓によって露出された部分領域がエッチングされることになる。これがため、エッチングイオンをトレンチ内壁面に反射させるような傾斜部が形成されることはなく、当然、基板面と平行な方向へのマスク層の急激な膜減りも起こらない。

(実施例)

以下、図面を参照してこの発明の半導体基板のエッチング方法の実施例につき説明する。尚、以下の実施例の説明に用いる各図はこの発明が理解できる程度に概略的に示してあるにすぎず、各構成成分の寸法、形状及び配置関係は図示例に限定されるものではない。又、これらの図において同一の構成成分については同一の符号を付して示してある。

有するレジスト膜をマスクとして用いて、金属膜を被着する工程と、このレジスト膜を除去した後マスク材料を前述の金属膜を含む基板面上に被着する工程と、このマスク材料表面から金属膜表面に至るまでエッチングを行って平坦なエッチング面を形成する工程と、前述の金属膜を除去する工程とを含むのが好適である。

この発明の実施に当り、マスク材料は酸化膜、窒化膜及び低融点ガラスの群から選ばれた一種以上の材料とするのが好適である。

(作用)

この発明の半導体基板のエッチング方法によれば、マスク層を耐ドライエッチング性の高い材料で構成し、かつ、このマスク層の窓の内壁面が基板面からマスク層表面に向うに従い傾き出すような逆テーパー構造の窓を有するマスク層を用いてトレンチのエッチングを行っている。このマスク層は耐ドライエッチング性が高いと云えどもトレンチ形成のためのエッチングの際には従来と同様に膜減りが生ずる。しかしながら、窓のエッジ部

この発明は半導体基板の基板面と平行な窓面積がマスク表面からこの基板面に向うに従って順次に外側に広がる形状の窓つまりこの窓の内壁面が逆テーパー状の窓を有し、かつ、耐ドライエッチング性の高いマスク材料から成るマスク層を用い半導体基板の、この窓から露出した領域に対して方向性の強いイオンを用いエッチングを行って、例えばメモリセルの蓄積容量等に用いて好適なキャパシタ用トレンチ等を形成するものである。

第1図(A)～(I)はこの発明の半導体基板のエッチング方法の一実施例を示す製造工程図である。これら図は工程進度に応じ主要工程でのウエハを断面図で示したものである。

まず、半導体基板31としての例えばSi基板上にレジストを塗布し、さらにこのレジストを乾燥してレジスト膜33を得る(第1図(A))。次にこのレジスト膜33に対して露光を行いその後現像を行って半導体基板31の基板面の、所定の部分領域を露出するような窓33aを有するレジスト膜33を得る(第1図(B))。尚、この窓33aをその

内壁面が基板面からレジスト表面に向うに従い離りだすようなオーバーハング状のものとする(第1図(B))。

次に、例えば電子ビーム蒸着法あるいはスパッタ法等の好適な方法を用いこのレジスト膜33を含む半導体基板31上に例えばTi(チタン)等の金属膜35を被着する(第1図(C))。次に、有機溶剤その他好適な薬品を用いこのレジスト膜33を除去することによってこのレジスト膜上の金属膜を除去し、基板面の、窓33aに対応する領域上のみに金属膜35aを残存させる。このようにして残存させた金属膜35aはレジスト膜33の形状が転写され台形状となる(第1図(D))。

次に、CVD法あるいはスパッタ法等の好適な方法を用いこの台形状の金属膜35aを含む半導体基板31上に耐ドライエッチング性の高いマスク材37として例えばSi酸化膜を形成する(第1図(E))。次にエッチバック等の好適な方法を用いてこのマスク材37表面を平坦化すると共に、金属膜35aの表面を露出させる(第1図(F))。

41もエッチングされ第1図(H)に点線で示す形状から実線で示す形状にマスク層41が変形した場合でも窓39の、マスク層41表面側のエッジ部分39a(第1図(G)参照)が底状に半導体基板の露出面を常に覆うから、マスク層41の窓39の内壁面は逆テーパー形状のままとなる。従って、エッチングイオン43をトレンチ内壁面に反射させるような傾斜部が形成されることはない。さらに、窓39の内壁面にエッチングイオンが直接接触することが少なくなるから、基板面と平行な方向へのマスク層41の急激な膜減りが生ずることがなく、よって、従来のようにマスク層が無くなった部分に段差が生ずるといようなことはない。

このようなマスク層をマスクとして用いトレンチエッチングを行うと、トレンチのエッチングが進むに従って窓39の、基板面と平行な開口面積が広がってゆきこれに伴ないエッチングされる半導体基板領域も徐々に広がる。従って、トレンチ内壁面にボウリング等の荒れが生ずることなくならかに傾斜する内壁面を有する第1図(I)に示

尚、このマスク材を低融点ガラス例えばPSG(リンシリケートガラス)、BPSG(ボロン・リンシリケートガラス)を以って構成した場合であれば、このガラスの平坦化をフローティングによって容易に行うことが出来る。

次に、金属膜35を除去する。この金属膜35の除去をこの場合半導体基板31及びマスク材37を溶かすことのない酸例えば硫酸を用いて行う。この金属膜35を除去した跡が窓39となり、従って、マスク材の所定の位置に窓39の形成されたマスク層41を得ることが出来る(第1図(G))。尚、この窓は、半導体基板の基板面と平行な窓面積がマスク表面からこの基板面に向うに従って順次に外側に広がる形状の窓つまりこの窓の内壁面が逆テーパー状のものとなる。

このような窓39を有するマスクパターン41上から半導体基板に対して方向性の強いエッチング条件でドライエッチングを行う。このエッチングについて第1図(H)を参照して詳細に説明する。トレンチ形成のためのエッチングに際しマスク層

すようなテーパー形状のトレンチ45を得ることが出来る。

尚、この発明は上述した実施例に限定されるものではない。

例えば、上述した実施例のマスク層の窓の内壁面がなだらかな曲率を有した逆テーパー形状であっても、実施例と同様な効果を期待することが出来る。

又、マスク材として用いる材料を窒化膜、低融点ガラス等の酸化膜以外の好適な材料を以って構成することも出来る。

さらに、トレンチの、半導体基板面上から見た平面形状に関してはトレンチの目的に応じた形状とすることが出来る。

(発明の効果)

上述した説明からも明らかなように、この発明の半導体基板のエッチング方法によれば、半導体基板の基板面と平行な窓面積がマスク表面から基板面に向かうに従い外側に広がるような形状(逆テーパー形状)の窓を有するマスク層を用い

て半導体基板をエッチングする。このため、半導体基板のエッチング中にマスク層の膜減りが生じてもこの窓の、マスク層表面側のエッジ部分が底状に半導体基板の露出面を常に覆うから、マスク層の窓の内壁面は逆テーパー形状のままとなる。

従って、エッチングイオンをトレンチ内壁面に反射させるような傾斜部が形成されることはないから、従来のようなボウリングが生ずることがない。さらに、基板面と平行な方向へのマスク層の急激な膜減りが生ずることがないから、従来のようにマスク層が無くなった部分に段差が生ずるというようなことが起こらない。

又、この発明の半導体基板のエッチング方法によってトレンチを形成した場合、トレンチ内壁面は荒れの少ないなだらかなテーパー形状となるため、このトレンチ内部にキャパシタ形成用の誘電体或いは素子分離部形成用の絶縁体を堆積することを容易に行うことが出来る。

4. 図面の簡単な説明

第1図(A)～(F)はこの発明の半導体基板

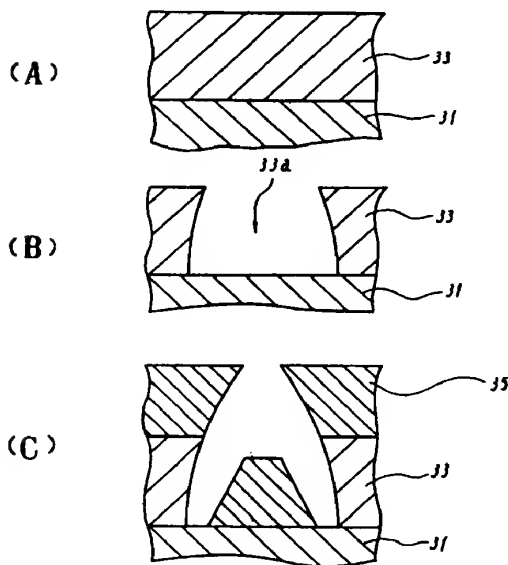
のエッチング方法の説明に供する製造工程図、

第2図(A)～(E)は従来の半導体基板のエッチング方法の説明に供する製造工程図である。

31…半導体基板、 33…レジスト膜
33a…レジスト膜の窓、 35…金属膜
35a…台形形状の金属膜
37…マスク材、 39…窓
39a…窓のエッジ部分、 41…マスク層
43…エッチングイオン
45…トレンチ。

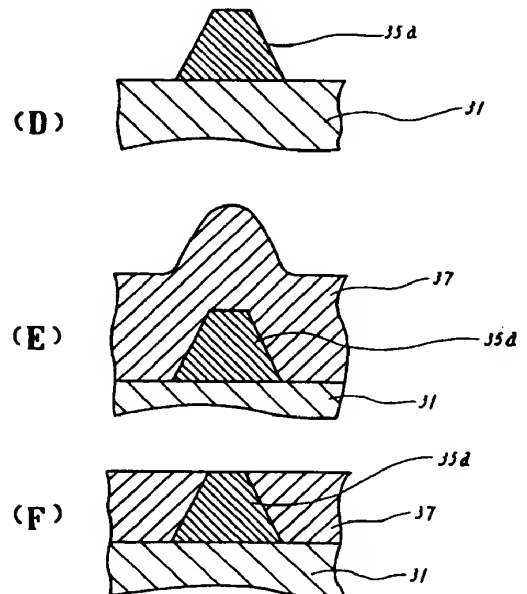
特許出願人 沖電気工業株式会社

代理人 弁理士 大垣 孝



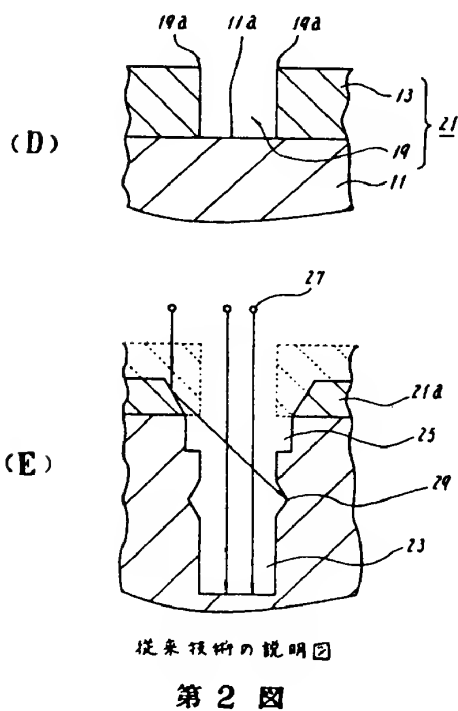
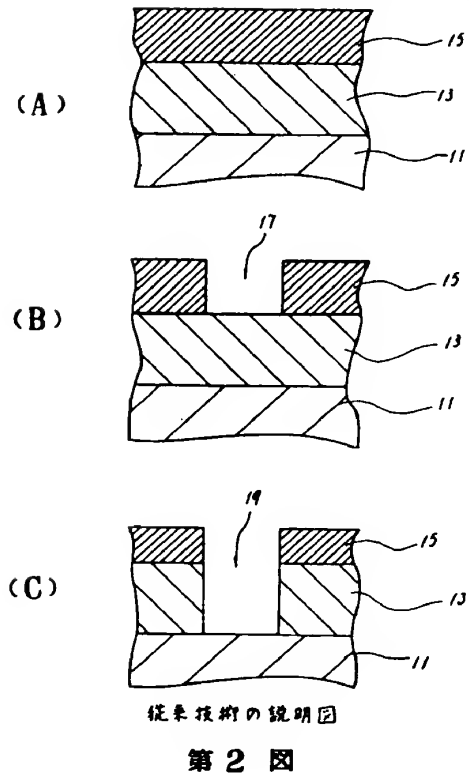
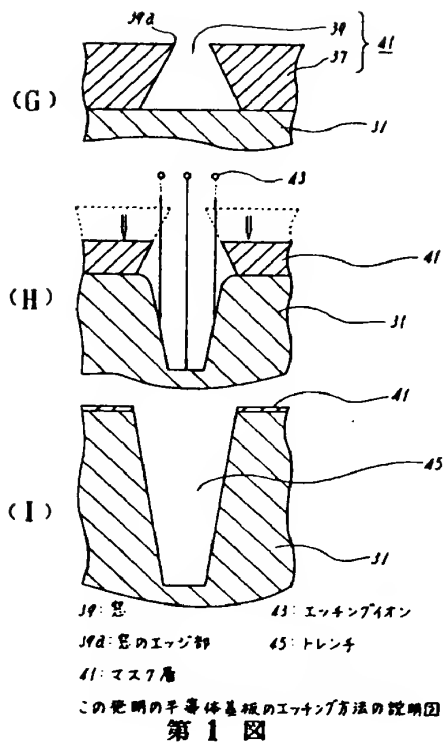
31: 半導体基板 33a: レジスト膜の窓
33: レジスト膜 35: 金属膜
この発明の半導体基板のエッチング方法の説明図

第1図



35a: 台形形状の金属膜
37: マスク材
この発明の半導体基板のエッチング方法の説明図

第1図



手続補正書

昭和62年3月31日

特許庁長官 黒田 明雄 殿

1 事件の表示 昭和61年特許願095657号

2 発明の名称

半導体基板のエッチング方法

3 補正をする者

事件との関係 特許出願人

住所 (〒 - 105)

東京都港区虎ノ門1丁目7番12号

名称 (029) 沖電気工業株式会社

代表者 橋本 南海男

4 代理人 〒170 ☎ (988)5563

住所 東京都豊島区東池袋1丁目20番地5

池袋ホワイトハウスビル905号

氏名 (8541) 井理士 大 垣 孝

5 補正命令の日付 自発

6 補正の対象

明細書の発明の詳細な説明の欄

7 補正の内容 別紙の通り



(1) 明細書、第11頁第12行目～同頁第13行目の
「レジスト膜33の形状が転写され」を『金属膜35
が堆積するに従い内壁面がレジスト表面から窓の
内側にせり出すような形状となるために開口窓が
せまくなり』と訂正する。

(2) 明細書、第12頁第3行目の「リンシリケート
ガラス」を『リンシリケートガラス)』と訂正す
る。